

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-017689

(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

H01L 29/78
G23C 16/40
H01L 21/316

(21)Application number : 2001-197844

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.06.2001

(72)Inventor : NAMATAME TOSHIHIDE
KADOSHIMA MASARU
SUZUKI TAKAAKI
MURATA YASUHIKO

(54) SEMICONDUCTOR DEVICE, MANUFACTURING METHOD THEREFOR AND MANUFACTURING DEVICE THEREFOR

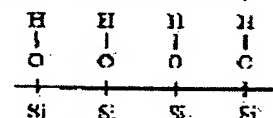
(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device for which impurity mixing in a gate insulation film is suppressed, element defects are eliminated, the fixed electric charges of the gate insulation film are freed and leakage or the like is suppressed, and to provide the manufacturing method and the manufacturing device.

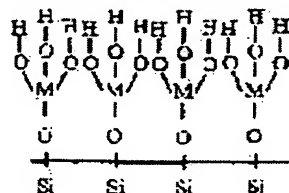
SOLUTION: In the semiconductor device provided with the gate insulation film on a silicon single crystal substrate, the gate insulation film is composed of the hydroxide of a metal oxide. Also, in the manufacturing method of the semiconductor device for forming the gate insulation film on the silicon single crystal substrate at the time of forming the gate insulation film, the process of performing the alkali treatment of a silicon single crystal substrate surface by an alkaline gas, and the film formation process of forming the film by a metal compound gas, are provided. The film formation chamber is provided with an introduction port through which the alkaline gas and the metal compound gas are supplied.

図1

(a) アルカリ処理工程のシリコン



(b) 成膜工程(MOCVD)

(c) アルカリ処理工程(NH₃/OH)

LEGAL STATUS

[Date of request for examination]

24.12.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-17689

(P2003-17689A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(51) Int.Cl.⁷

識別記号

F I

テマコード (参考)

H 0 1 L 29/78

C 2 3 C 16/40

4 K 0 3 0

C 2 3 C 16/40

H 0 1 L 21/316

X 5 F 0 5 8

H 0 1 L 21/316

29/78

3 0 1 G 5 F 1 4 0

審査請求 未請求 請求項の数10 O L (全 6 頁)

(21) 出願番号 特願2001-197844 (P2001-197844)

(22) 出願日 平成13年6月29日 (2001.6.29)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 生田 俊秀

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 門島 勝

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 100074631

弁理士 高田 幸彦 (外1名)

最終頁に続く

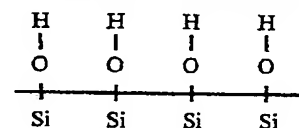
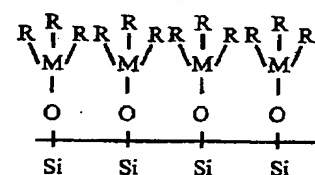
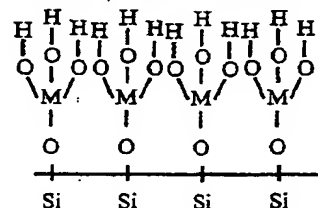
(54) 【発明の名称】 半導体装置とその製造方法及びその製造装置

(57) 【要約】

【課題】本発明の目的は、ゲート絶縁膜中への不純物混入の抑制と元素欠陥を除去することができ、ゲート絶縁膜の固定電荷フリーとリークの発生等を抑制できる半導体装置とその製造方法及びその製造装置を提供することにある。

【解決手段】本発明は、シリコン単結晶基板上に、ゲート絶縁膜を有する半導体装置において、前記ゲート絶縁膜は金属酸化物の水酸化物からなることを特徴とする。又、本発明は、シリコン単結晶基板上に、ゲート絶縁膜を形成する半導体装置の製造法において、前記ゲート絶縁膜を形成する際、前記シリコン単結晶基板表面をアルカリ性ガスによってアルカリ処理する工程と、金属化合物ガスによって成膜する成膜工程とを有し、その成膜室にアルカリ性ガスと、金属化合物ガスを供給する導入口を有することを特徴とする。

図1

(a) アルカリ処理工程(NH₄OH)(b) 成膜工程(MR₄)(c) アルカリ処理工程(NH₄OH)

【特許請求の範囲】

【請求項1】シリコン単結晶基板上に、ゲート絶縁膜を有する半導体装置において、前記ゲート絶縁膜は金属の酸化-水酸化物から変換された金属酸化物からなることを特徴とする半導体装置。

【請求項2】請求項1において、前記ゲート絶縁膜はその長さが0.1 μm以下であることを特徴とする半導体装置。

【請求項3】請求項1又は2において、前記半導体装置が、シリコン単結晶基板上に、素子分離絶縁膜と、ゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、前記素子分離絶縁膜と前記ゲート絶縁膜との間で前記ゲート絶縁膜を挟んで両側に形成されたソース及びドレイン領域と、前記素子分離絶縁膜とゲート絶縁膜とゲート電極とソース及びドレイン領域とを保護する保護膜と、前記ソース及びドレイン領域の各々に接して前記保護膜を貫通して形成されたプラグ電極と、該プラグ電極に接して前記保護膜上に形成された配線とを有することを特徴とする半導体装置。

【請求項4】請求項1～3のいずれかにおいて、前記ゲート絶縁膜が、SiO₂、TiO₂、HfO₂、ZrO₂、Al₂O₃、Ta₂O₅、Sc₂O₃、Y₂O₃、Ln₂O₃（Lnは希土類元素）の1種類以上からなることを特徴とする半導体装置。

【請求項5】シリコン単結晶基板上に、ゲート絶縁膜を形成する工程を有する半導体装置の製造法において、前記ゲート絶縁膜を形成する工程が、前記シリコン単結晶基板表面をアルカリ性ガスによってアルカリ処理する工程と、金属化合物ガスによって成膜する成膜工程とを有することを特徴とする半導体装置の製造法。

【請求項6】シリコン単結晶基板上に、ゲート絶縁膜を形成する半導体装置の製造法において、前記ゲート絶縁膜を、前記シリコン単結晶基板表面をアルカリ性ガスと金属化合物ガスとによって成膜する成膜工程を有することを特徴とする半導体装置の製造法。

【請求項7】請求項5又は6において、前記ゲート絶縁膜を形成する工程の前に、素子分離絶縁膜を形成する工程を有し、前記ゲート絶縁膜を形成する工程の後に、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記素子分離絶縁膜と前記ゲート絶縁膜との間で前記ゲート絶縁膜を挟んで両側にソース及びドレイン領域を形成する工程と、前記素子分離絶縁膜とゲート絶縁膜とゲート電極とソース及びドレイン領域とを保護する保護膜を形成する工程と、前記ソース及びドレイン領域の各々に接して前記保護膜を貫通させてプラグ電極を形成する工程と、該プラグ電極に接して前記保護膜上に配線を形成する工程とを順次有することを特徴とする半導体装置の製造法。

【請求項8】請求項5～7のいずれかにおいて、前記アルカリ性ガスが水酸化アンモニウムガスであることを特

徴とする半導体装置の製造法。

【請求項9】請求項5～8のいずれかにおいて、前記ゲート絶縁膜がTiO₂、HfO₂、ZrO₂、Al₂O₃、Ta₂O₅、Sc₂O₃、Y₂O₃、Ln₂O₃（Lnは希土類元素）の1種類以上からなることを特徴とする半導体装置の製造方法。

【請求項10】シリコン単結晶基板上にゲート絶縁膜を形成する半導体装置の製造装置において、前記ゲート絶縁膜を形成する成膜室は、金属化合物ガスとアルカリ性ガスを導入するガス導入口、前記シリコン単結晶基板を載置し加熱する基板加熱用ヒータ及び前記成膜室を排気する真空排気装置を有することを特徴とする半導体製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、新規な半導体装置とその製造方法及びその製造装置に係わり、特にゲート絶縁膜を有するMIS型トランジスタ素子とその製造方法及びその製造装置に関する。

【0002】

【従来の技術】近年、MIS（Metal Insulator Semiconductor）型トランジスタ素子の微細化は0.1 μm以下のゲート長まで目前に迫っている状況である。このような微細化に伴ってMISトランジスタ素子のゲート絶縁膜の材料として、比誘電率が3.9のSiO₂に代って約2.5のZrO₂、1.0のAl₂O₃、8.0のTiO₂等を用いることが検討されている。これらの材料は比誘電率が高いためにSiO₂と同一のゲート容量を得るために物理膜厚を約6倍、2.5倍、2.0倍程度厚くすることができる。このためにスケール則に従って素子を微細化した場合にも、ゲート絶縁膜中の直接トンネリングによるゲート/Si基板間のリーク電流を抑えられると考えられている。

【0003】

【発明が解決しようとする課題】ところが、Al₂O₃の高誘電体材料を原子・分子レベルでの成膜が可能なALD（Atomic Layer Deposition）法を用いて形成する事がNICHKEI MICRO DEVICES 2000年10月号、p.102-105.に記載されている。図2に示すように、この成膜方法によれば、図2（a）H₂Oガスで反応サイトのOH基を形成した後に、図2（b）金属化合物の配位子の交換反応によってAl₂O₃膜を形成しているが、どうしてもH₂OガスによるOH基の生成を面内全体に均一に行うことが難しく、その結果ゲート絶縁膜中に元素欠陥を含む膜質となる。この元素欠陥を含むゲート絶縁膜は、固定電荷、リークを容易に発生する問題点があった。

【0004】本発明の目的は、ゲート絶縁膜中への不純

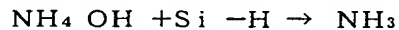
3

物混入の抑制と元素欠陥を除去することができ、ゲート絶縁膜の固定電荷フリーとリークの発生等を抑制できる半導体装置とその製造方法及びその製造装置を提供することにある。

【0005】

【課題を解決するための手段】本発明は、シリコン単結晶基板上に、ゲート絶縁膜を有する半導体装置において、前記ゲート絶縁膜は金属の酸化-水酸化物から変換された金属酸化物からなることを特徴とする。

【0006】又、本発明は、シリコン単結晶基板上に、素子分離絶縁膜と、ゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、前記素子分離絶縁膜と前記ゲート絶縁膜との間で前記ゲート絶縁膜を挟んで両側に形成されたソース及びドレイン領域と、前記素子分離絶縁膜とゲート絶縁膜とゲート電極とソース及びドレイン領域とを保護する保護膜と、前記ソース及びドレイン領



【0008】次に図1(b)に示す様に金属化合物ガスによる成膜工程でOH基のプロトン(H⁺)とイオン交換反応により、金属化合物が配位する。さらに図1(c)に示すように水酸化アンモニウムガスを供給するアルカリ処理工程で金属化合物の末端をOH基に変える。又、アルカリ処理工程と成膜工程を交互に行うことで、元素欠陥を抑制した均質なゲート絶縁膜を作製できる。さらに、水酸化アンモニウムガスと金属化合物CVD原料ガスを同時に供給した場合においても、(1)式に示すイオン交換反応で反応性の高いOH⁻ガスが生成するために、CVD原料ガスを分解して絶縁膜を形成しやすくなる。この金属化合物CVDガスと水酸化アンモニウムガスを同時供給するCVD法においても、アルカリ性による成膜機構のためにゲート絶縁膜中への不純物を抑制でき、前述と同様の素子が得られる。尚、水酸化アンモニウム反応ガスを用いて記述したが、アルカリ性を示す他の反応ガスを用いても良く、特に強いアルカリ性を有する水酸化アンモニウムガスが好ましい。又、アンモニアガスと水を別々に供給してもよい。

【0009】即ち、本発明は、シリコン単結晶基板上に、ゲート絶縁膜を形成する工程を有する半導体装置の製造法において、前記ゲート絶縁膜を形成する工程が、前記シリコン単結晶基板表面をアルカリ性ガスによってアルカリ処理する工程と、金属化合物ガスによって成膜する成膜工程とを有することを特徴とする。

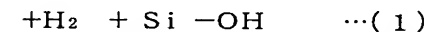
【0010】又、シリコン単結晶基板上に、ゲート絶縁膜を形成する半導体装置の製造法において、前記ゲート絶縁膜を、前記シリコン単結晶基板表面をアルカリ性ガスと金属化合物ガスとによって成膜する成膜工程を有することを特徴とする。

【0011】更に、本発明は、より具体的には、前述の製造法において、前記ゲート絶縁膜を形成する工程の前に、素子分離絶縁膜を形成する工程を有し、前記ゲート

4

*域の各々に接して前記保護膜を貫通して形成されたプラグ電極と、該プラグ電極に接して前記保護膜上に形成された配線とを有する半導体装置において、前記ゲート絶縁膜は金属の酸化-水酸化物から変換された金属酸化物からなることを特徴とする。

【0007】本発明の特徴は、シリコン単結晶基板を母材とした特に、MIS(Metal Insulator Semiconductor)型トランジスタ素子において、ゲート絶縁膜を水酸化アンモニウムガスを供給するアルカリ処理工程と金属化合物CVDガスを利用して形成する成膜工程とを組合せて形成することにある。この特徴によれば、アルカリ処理工程で、H₂Oガスに比べてアルカリ性が強い水酸化アンモニウムは、(1)式に表す分解反応で図1(a)のSi最表面をOH基に交換できる。



絶縁膜を形成する工程の後に、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記素子分離絶縁膜と前記ゲート絶縁膜との間で前記ゲート絶縁膜を挟んで両側にソース及びドレイン領域を形成する工程と、前記素子分離絶縁膜とゲート絶縁膜とゲート電極とソース及びドレイン領域とを保護する保護膜を形成する工程と、前記ソース及びドレイン領域の各々に接して前記保護膜を貫通させてプラグ電極を形成する工程と、該プラグ電極に接して前記保護膜上に配線を形成する工程とを順次有することが好ましい。

【0012】アルカリ雰囲気のために、Si最表面及び金属化合物のOH基末端処理を均一に行えるために、ゲート絶縁膜で元素欠陥を抑制できる。したがって、固定電荷フリーでかつリーク電流を抑えた微細化されたMIS型トランジスタ素子を得ることができる。

【0013】また、ゲート絶縁膜はTiO₂(ε=80), HfO₂(ε=15-40), ZrO₂(ε=25), Al₂O₃(ε=10), Ta₂O₅(ε=22), Sc₂O₃(ε=12), Y₂O₃(ε=12-16), Ln₂O₃(ε=8-27)(Ln: La, Ce, Pr, Nd, Pm, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu)のうち少なくとも1種類以上からなる材料は、SiO₂に比べて比誘電率が高いために高容量を得られる特徴がある。

【0014】以上本発明によれば、アルカリ性を強くすることでイオン交換反応を促進できるために、ゲート絶縁膜中の元素欠陥を抑制でき、その結果ゲート絶縁膜全体の固定電荷フリーとリークの発生等を抑制して作製できるために、0.1 μm以下のゲート長さのMIS型トランジスタ素子を得ることができるものである。

【0015】更に、本発明は、シリコン単結晶基板上にゲート絶縁膜を形成する半導体装置の製造装置において、前記ゲート絶縁膜を形成する成膜室は、金属化合物ガス

10

20

30

40

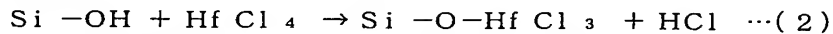
50

5

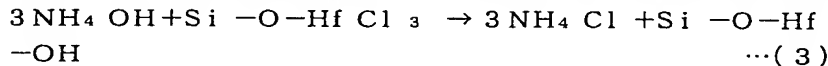
とアルカリ性ガスとを導入するガス導入口、前記シリコン単結晶基板を載置し加熱する基板加熱用ヒータ及び前記成膜室を排気する真空排気装置を有することを特徴とし、前述の優れたゲート絶縁膜を形成することができる。

【0016】

【発明の実施の形態】(実施例1)図3は本発明に係るMISトランジスタの製造工程を示す工程図である。Si単結晶基板101は、p-typeで(100)面方位、抵抗率 $10 \sim 15 \Omega \cdot \text{cm}$ の基板である。素子分離領域102はSi単結晶基板101に深さ約 $0.4 \mu\text{m}$ の溝を形成した後にCVD-SiO₂膜を全面成膜し、次にCMPで平坦化させて作製した。



【0018】さらに図1(c)に示すように水酸化アンモニウム/Arガスを $5 \sim 200 \text{ sccm}$ で成膜室に搬送した。これによって、(3)式に示すようなイオン交換反応がアルカリ性雰囲気のために容易に進行する。



【0019】上記の(2)、(3)式のイオン交換反応を逐次交互に行い、Si-Hfの酸化-水酸化物を形成した後、不活性雰囲気又は還元性雰囲気中で $500 \sim 800^\circ\text{C}$ に加熱し、次いで酸化性雰囲気中で $300 \sim 500^\circ\text{C}$ の熱処理を行い、膜厚 $2 \sim 5 \text{ nm}$ のSi-Hf複合酸化物を得た。上記のイオン交換反応は、反応容器の圧力が $0.01 \sim 50 \text{ torr}$ 、成膜温度が $300 \sim 450^\circ\text{C}$ で行なわれた。

【0020】また、有機金属の種類がHf(i-OC₃H₇)₄(Tetraisopropoxy hafnium)、Hf(n-OC₄H₉)₄(Tetranormalbutoxy hafnium)、Hf[N(CH₃)₂]₄(Tetrakisdimethylamino hafnium)、Hf[N(C₂H₅)₂]₄(Tetrakisdiethylamino hafnium)を用いてもHfO₂膜を形成することが可能である。特に室温で液体であるHf(n-OC₄H₉)₄及びHf[N(C₂H₅)₂]₄は装置ハンドリングの観点から好ましい。

【0021】次に104ゲート電極となる多結晶Si膜を 300 nm 成膜し、nチャンネル領域にはリンを、pチャンネル領域にはボロンをそれぞれ注入し、 800°C 、 $10 \sim 30 \text{ min}$ の窒素雰囲気中熱処理して活性化した。ゲート電極104は多結晶Si膜を通常のホトリソグラフィ法を用いてパターンニングし、セルフアラインにてRIEによりエッチングして形成した。また同様にゲート絶縁膜103もHfO₂を加工して形成した。次にゲート電極104をマスクしてソース/ドレイン領域105に周期率表の第5族の原子(P, As, Sb)或いは第3族の原子(B, Al, Ga, In)のイオン注入を行い、 800°C 、 30 sec のAr中熱処理を施す事により低抵抗の拡散域を形成した。次にCVD法に

6

【0017】次にゲート絶縁膜103となるHfO₂膜を作製するために、先ず水酸化アンモニウムガスをArキャリアガスで $5 \sim 200 \text{ sccm}$ で成膜室にシャワーヘッドを通して加熱用ヒータに載置したSi単結晶基板上に搬送した。成膜室には、真空排気装置が接続されている。これによって図1(a)に示すようにSi最表面を飽和させてSi-OH基を置換させるアルカリ処理工程を行う。次に図1(b)に示すように気化したHfCl₄(Hafnium Chloride)CVD原料ガスをArガス $198 \sim 500 \text{ sccm}$ で成膜室へ搬送した。これによって、次式のイオン交換反応が行なわれる。

※送した。これによって、(3)式に示すようなイオン交換反応がアルカリ性雰囲気のために容易に進行する。

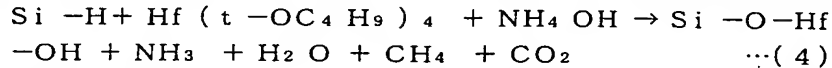
よりSiO₂保護膜106を形成した。さらにソース/ドレイン領域105上にスルーホールを作製した後、CVD法によりWプラグ電極107を作製した。最後にAl配線108をWプラグ上に作製してMIS型トランジスタ素子を作製した。片方のAl配線108をアースにして、ゲート電極104に $-2 \sim 2 \text{ V}$ 変化させた場合のC-V特性よりEOT(SiO₂換算膜厚)を算出した。その結果を図4にまとめて示す。 $10 \sim 30 \text{ nm}$ 膜厚間でHfO₂データの最小2乗法から求めた勾配は誘電率を意味し、約20であった。また物理膜厚がゼロの場合にEOTが約ゼロを示す事より、ゲート絶縁膜103であるHfO₂とSi単結晶基板101界面に低誘電率なSiO₂層の形成を抑制できたことが分かる。

【0022】以上の本実施例に示すように、アルカリ性を強くすることでイオン交換反応を促進できるために、ゲート絶縁膜中への不純物の混入が抑制され、又元素欠陥を抑制でき、その結果ゲート絶縁膜全体の固定電荷フリーとリークの発生等を抑制して作製できるために、 $0.1 \mu\text{m}$ 以下のゲート長さのMISトランジスタ素子を製造することができた。

【0023】また、本実施例ではゲート絶縁膜としてHfO₂を用いたが、TiO₂、ZrO₂、Al₂O₃、Ta₂O₅、Sc₂O₃、Y₂O₃、Ln₂O₃(Ln: La, Ce, Pr, Nd, Pm, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu)のうち少なくとも1種類以上からなる誘電体材料でも可能である。またゲート電極として多結晶Siを用いているが、上記誘電体材料と反応しない金属、例えばW, Mo, TiN, TiSi₂等を用いてもよい。さらに、多結晶Siにリンをドーブしてもよい。Al配線を説明したが、低抵抗な金属材料ならよく、例えばCu材料を用いてもよい。

【0024】(実施例2) 実施例1と同様に、素子分離領域102はSi単結晶基板101に深さ約0.4 μmの溝を形成した後にCVD-SiO₂膜を全面成膜し、次にCMPで平坦化させて作製した。

【0025】次にゲート絶縁膜103となるHfO₂膜*



【0026】反応容器の圧力を0.01~50 torrとし、成膜温度を300℃以上450℃以下として1 min成膜して、膜厚5 nmを得た。片方のAl配線108をアースにして、ゲート電極104に-2~2 V変化させた場合のC-V特性よりEOT(SiO₂換算膜厚)を算出した。10~30 nm膜厚間でHfO₂データの最小2乗法から求めた勾配は誘電率を意味し、約20であった。また物理膜厚がゼロの場合にEOTが約ゼロを示す事より、ゲート絶縁膜103であるSi-Hf酸化物が形成され、Si単結晶基板101界面に低誘電率なSiO₂層の形成が抑制できたことが分かる。

【0027】以上の本実施例においても、アルカリ性を強くすることでイオン交換反応を促進できるために、ゲート絶縁膜中への不純物の混入が抑制され、又元素欠陥を抑制でき、その結果ゲート絶縁膜全体の固定電荷フリーとリークの発生等を抑制して作製できるために、0.1 μm以下のゲート長さのMISトランジスタ素子を製造することができた。

【0028】

【発明の効果】以上詳述したように本発明によれば、ア

*を作製するために、実施例1と同様に、Hf(t-OC₄H₉)₄有機金属ガスと水酸化アンモニウムガスをArキャリアガスを用いて成膜室へ同時供給した。アルカリ性雰囲気ガスのために、気相中及びSi最表面で(4)式のイオン交換反応が逐次進行している。

ルカリ性を強くすることでイオン交換反応を促進できるために、ゲート絶縁膜中の元素欠陥を抑制でき、その結果ゲート絶縁膜全体の固定電荷フリーとリークの発生等を抑制して作製できるために、0.1 μm以下のゲート長さのMISトランジスタ素子を提供することができた。

【図面の簡単な説明】

【図1】 本発明に係るアルカリ処理工程と成膜工程の製造工程を示すフロー図。

【図2】 一般的な原子層成長法のH₂O吸着工程と成膜工程の製造工程を示すフロー図。

【図3】 本発明のMOSFETの断面図。

【図4】 本発明のZrO₂物理膜厚とEOT膜厚との関係を示す線図。

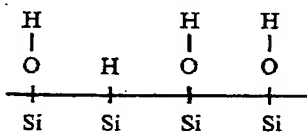
【符号の説明】

101…Si単結晶基板、102…素子分離領域、103…ゲート絶縁膜、104…ゲート電極、105…ソース・ドレイン領域、106…SiO₂保護膜、107…プラグ電極、108…Al配線。

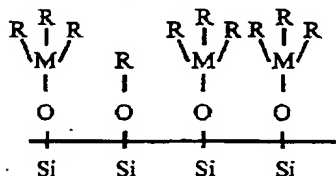
【図2】

図2

(a) 水処理工程(H₂O)

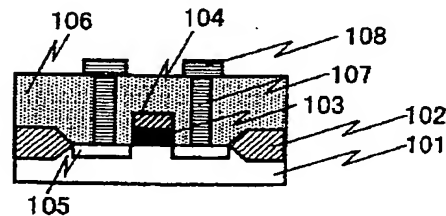


(b) 成膜工程(MR₄)



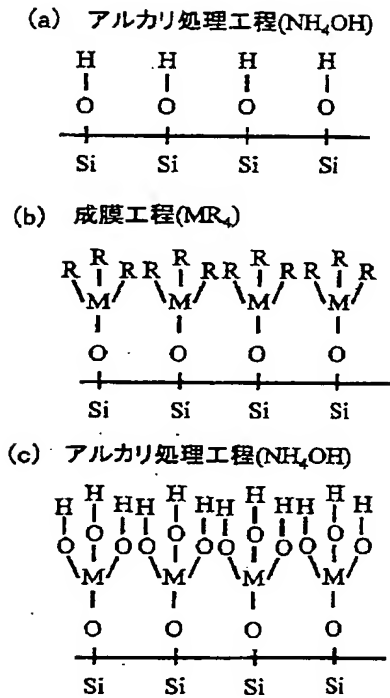
【図3】

図3



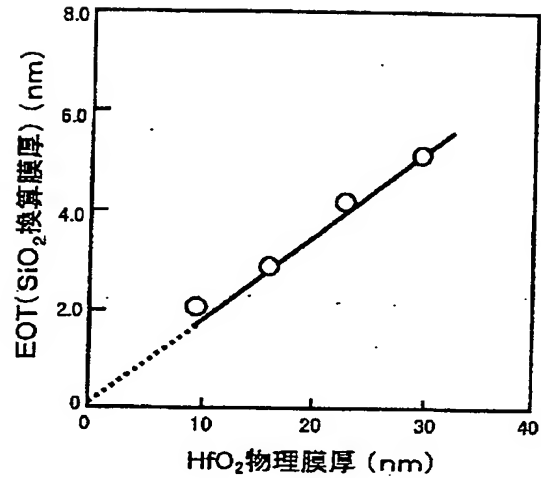
【 図1 】

図1



【 図4 】

図4



フロント ページの続き

(72)発明者 鈴木 孝明
 茨城県日立市大みか町七丁目1番1号 株
 式会社日立製作所日立研究所内

(72)発明者 村田 康彦
 茨城県日立市大みか町七丁目1番1号 株
 式会社日立製作所日立研究所内

F ターム (参考) 4K030 AA11 BA10 BA17 BA22 BA42
 BA43 BA46 BA59 CA04 CA12
 DA02 LA02
 5F058 BA20 BC02 BC03 BE10 BF02
 BF24 BJ01
 5F140 AA06 AA24 BA01 BA20 BD04
 BD06 BD11 BD12 BD13 BE01
 BE09 BF01 BF04 BF07 BF08
 BF10 BG38 BH21 BJ01 BJ07
 BJ27 BK13 BK21 BK25 BK30
 CA03 CB04 CC03 CE07